

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
Atsushi MIYANISHI et al.) Group Art Unit: 2811
Application No.: 09/114,203) Examiner: Unknown
Filed: July 13, 1998)
For: SEMICONDUCTOR DEVICE)

*2/ Priority
Papers
G. Stanley*

CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 10-017011

Filed: January 29, 1998

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of this certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: September 25, 1998

By: 

Charles F. Wieland III
Registration No. 33,096

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 8 年 1 月 2 9 日

出 願 番 号

Application Number:

平成 1 0 年 特 許 願 第 0 1 7 0 1 1 号

出 願 人

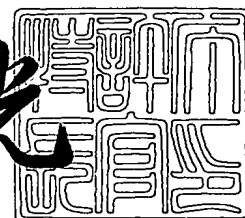
Applicant (s):

三菱電機株式会社

1 9 9 8 年 3 月 6 日

特 許 庁 長 官
Commissioner,
Patent Office

荒井 寿光



出証番号 出証特平 1 0 - 3 0 1 2 0 6 8

【書類名】 特許願

【整理番号】 50730101

【提出日】 平成10年 1月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置

【請求項の数】 11

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 宮西 篤史

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 松本 尚

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402193

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 少なくとも 1 の MOS トランジスタが形成される活性領域と

前記活性領域を規定する絶縁膜とを備えた半導体装置であって、

前記活性領域の平面視形状は凹部を有した形状に設定され、

前記活性領域は、

通常領域と、

前記凹部の存在によって前記通常部分よりも端縁部が後退した後退領域とを有し、

前記少なくとも 1 の MOS トランジスタは、

前記後退領域に形成される第 1 の MOS トランジスタと、

前記通常領域に形成される第 2 の MOS トランジスタとを有し、

前記第 1 の MOS トランジスタを構成する第 1 のゲート電極のマージン部の長さは、前記第 2 の MOS トランジスタを構成する第 2 のゲート電極のマージン部の長さよりも長く設定される半導体装置。

【請求項 2】 前記凹部は前記活性領域の角部に形成され、

前記第 1 のゲート電極のマージン部の長さは、前記第 2 のゲート電極のマージン部の長さ、と、前記凹部における後退長さに等しい長さとの合計値に設定される、請求項 1 記載の半導体装置。

【請求項 3】 前記凹部は前記活性領域の角部に形成され、

前記第 1 のゲート電極のマージン部の長さは、

前記第 2 のゲート電極のマージン部の長さ、と、

前記後退領域の端縁部から、前記凹部における前記活性領域の第 1 および第 2 の山折れ角部を結ぶように設定された仮想線と前記第 1 のゲート電極との交点までの長さとの合計値に設定される、請求項 1 記載の半導体装置。

【請求項 4】 前記凹部は前記活性領域の角部以外に形成された窪み部であって、

前記通常領域は、前記窪み部を挟んで第1および第2の通常領域に区分され、
前記第2の通常領域に端縁部は前記第1の通常領域に端縁部よりも後退した位置にあり、

前記第1のゲート電極のマージン部の長さは、

前記第2のゲート電極のマージン部の長さと、前記後退領域の端縁部と前記第2の通常領域の端縁部との後退長さに等しい長さとの合計値に設定される、請求項1記載の半導体装置。

【請求項5】 前記凹部は前記活性領域の角部以外に形成された窪み部であって、

前記通常領域は、前記窪み部を挟んで第1および第2の通常領域に区分され、
前記第2の通常領域に端縁部は前記第1の通常領域に端縁部よりも後退した位置にあり、

前記第1のゲート電極のマージン部の長さは、

前記第2のゲート電極のマージン部の長さと、

前記後退領域の端縁部から、前記凹部における前記第1の通常領域の山折れ角部と、前記第2の通常領域の山折れ角部とを結ぶように設定された仮想線と前記第1のゲート電極との交点までの長さとの合計値に設定される、請求項1記載の半導体装置。

【請求項6】 少なくとも1のMOSトランジスタが形成される活性領域と

前記活性領域を規定する絶縁膜とを備えた半導体装置であって、

前記活性領域の平面視形状は凹部を有した形状に設定され、

前記活性領域は、

通常領域と、

前記凹部の存在によって前記通常部分よりも端縁部が後退した後退領域とを有し、

前記少なくとも1のMOSトランジスタは、

前記後退領域に形成される第1のMOSトランジスタと、

前記通常領域に形成される第2のMOSトランジスタとを有し、

前記第1のMOSトランジスタを構成する第1のゲート電極のマージン部は、前記通常領域から遠ざかる方向に延在するように所定の角度で曲げられた屈曲部を有する形状に設定される半導体装置。

【請求項7】 前記凹部は前記活性領域の角部に形成され、
前記所定の角度は90度であって、
前記後退領域は、前記第1のゲート電極に直交する第1の端縁部と、前記第1のゲート電極に平行する第2の端縁部とを有し、
前記屈曲部は前記後退領域の第1の端縁部に接するかあるいは接触しない程度に延在し、

前記屈曲部の長さは、その先端部が、前記第2のMOSトランジスタを構成する第2のゲート電極のマージン部の長さに等しい距離だけ前記後退領域の前記第2の端縁部から突出するように設定される、請求項6記載の半導体装置。

【請求項8】 前記凹部は前記活性領域の角部に形成され、
前記所定の角度は90度であって、
前記後退領域は、前記第1のゲート電極に直交する第1の端縁部と、前記第1のゲート電極に平行する第2の端縁部とを有し、
前記屈曲部は前記後退領域の第1の端縁部に接触しないように延在し、
前記屈曲部の長さは、その先端部が、前記凹部における前記活性領域の第1および第2の山折れ角部を結ぶように設定された仮想線と前記第1のゲート電極との交差位置から前記第2のMOSトランジスタを構成する第2のゲート電極のマージン部の長さに等しい距離だけ突出するように設定する、請求項6記載の半導体装置。

【請求項9】 前記凹部は前記活性領域の角部に形成され、
前記屈曲部は、前記凹部における前記活性領域の第1および第2の山折れ角部を結ぶように設定された仮想線と前記第1のゲート電極との交差位置を中心として曲げられ、

前記所定の角度は90度よりも小さく、
前記屈曲部の長さは、その先端部が、前記交差位置から前記第2のMOSトランジスタを構成する第2のゲート電極のマージン部の長さに等しい距離だけ突出

するように設定される、請求項 6 記載の半導体装置。

【請求項 10】 少なくとも 1 の MOS トランジスタが形成される活性領域と、

前記活性領域を規定する絶縁膜とを備えた半導体装置であって、

前記活性領域の平面視形状は凹部を有した形状に設定され、

前記活性領域は、

通常領域と、

前記凹部の存在によって前記通常部分よりも端縁が後退した後退領域とを有し

前記少なくとも 1 の MOS トランジスタは、

前記後退領域に配置され、電氣的に並列に接続された複数の MOS トランジスタを含み、

前記複数の MOS トランジスタのそれぞれのゲート電極は、並列に配置されるとともに電氣的に共通に接続され、

前記複数の MOS トランジスタのそれぞれのゲート電極のうち、少なくとも前記通常領域に最も近く位置するゲート電極と、該ゲート電極の隣のゲート電極のそれぞれのマージン部とを接続する半導体装置。

【請求項 11】 前記複数の MOS トランジスタのそれぞれのゲート電極のマージン部を全て接続する、請求項 10 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に、凹部を有した活性領域に MOS トランジスタを形成する場合のゲート電極のマージン部の形状に関するものである。

【0002】

【従来の技術】

MOS トランジスタで構成される半導体装置においては、活性領域（素子形成領域）を取り囲むように絶縁膜が形成され、当該活性領域と他の活性領域とを電氣的に分離する構造が採られることが多い。そして、活性領域に形成される MO

Sトランジスタのゲート電極は活性領域を分断するように活性領域上から絶縁膜上に渡って形成され、ゲート電極の両側に形成されるソース・ドレイン領域は電氣的に分離される構成となっている。

【0003】

図29に活性領域の一部分と、その活性領域上に形成されたゲート電極の配置状態を示す。図29において、活性領域1の平面視形状は、その角部に凹部を有する形状となっている。すなわち、凹部の存在により活性領域1の幅が部分的に狭くなっている。なお、活性領域1は絶縁膜7によって囲まれている。そして、当該凹部の絶縁膜7上に端部が架かるようにゲート電極3が形成され、凹部以外の絶縁膜7上に端部が架かるようにゲート電極2が形成されている。

【0004】

なお、ゲート電極2および3の絶縁膜7上に架かる部分をゲートエンドキャップと呼称し、その長さをxで示す。ゲートエンドキャップはゲート電極の長さが活性領域の差し渡し長さよりも短くなることを防止するため、レイアウト設計の段階でマージン部（活性領域からはみ出したゲート部分）として設定されるものであり、設計上の活性領域の端縁部からの長さとして全てのゲート電極に対して一律に設定されている。また、その長さは、ゲート電極の先端部がエッチング等により侵食されて丸みをおび、部分的にゲート長が短くなった場合でも、その先端が活性領域上に位置することがないような長さに設定される。また、ゲート電極3の両側にはソース・ドレイン領域SDAおよびSDBが形成されている。なお、ゲート電極3の片側にもソース・ドレイン領域が形成されるが、図中では符号は付していない。

【0005】

なお、ゲートエンドキャップはゲート電極の最端部と活性領域の端縁部との間の部分を指す。従って、2つの活性領域が離れて形成され、当該2つの活性領域に渡るように1のゲート電極が形成される場合、2つの活性領域間の絶縁膜上にはゲート電極が形成されるが、その部分にはゲート電極の端部は存在しないのでゲートエンドキャップは存在しない。

【0006】

また、コンタクトホールやビアホールなどが形成されるゲート電極のパッド部分や、配線層に直接接続されるゲート電極のパッド部分にはゲート電極の端部が存在するが、当該部分にはゲートエンドキャップは存在しない（必要としない）。

【0007】

活性領域1が凹部を有した形状になる場合としては、例えば、図30に示すようなAND-NORゲートを形成する場合がある。なお、AND部C1には入力信号I1およびI2が与えられ、NOR部C2の他方の入力には入力信号I3が与えられる構成となっている。

【0008】

図31にAND-NORゲートC10のトランジスタレベルでの構成を示す。AND-NORゲートC10は、ソース電極が共通に電源VDDに接続されたPチャネルトランジスタQ1およびQ2と、PチャネルトランジスタQ1およびQ2のドレイン電極にソース電極が接続されたPMOSTランジスタQ3と、PMOSTランジスタQ3のドレイン電極にドレイン電極が共通に接続されたNMOSTランジスタQ4およびQ6と、NMOSTランジスタQ4のソース電極にドレイン電極が接続され、ソース電極がNMOSTランジスタQ6のソース電極と共通に接地されたNMOSTランジスタQ5とを備えている。入力信号I1およびI2は、PMOSTランジスタQ1およびQ2のゲート電極G1およびG2と、NMOSTランジスタQ4およびQ5のゲート電極G4およびG5に与えられ、入力信号I3はPMOSTランジスタQ3およびNMOSTランジスタQ6のそれぞれのゲート電極G3およびG6に与えられる構成となっている。そして、PMOSTランジスタG3、NMOSTランジスタG4およびG6の共通接続ノードが出力端となっている。

【0009】

このような構成のAND-NORゲートC10のNMOSTランジスタのレイアウト図を図32に示す。

【0010】

図32において、活性領域ARの平面視形状は、その1の角部に凹部を有した形状であり、活性領域ARは絶縁膜IFによって囲まれている。そして、当該凹部によって差し渡し長さが短くなった後退領域DRにゲート電極G6が形成され、凹部以外の通常領域ORにゲート電極G4およびG5が形成されている。

【0011】

ここで、図29に示すA-A線における断面矢視図を図33に示す。図33に示されるようにゲート電極3は活性領域1上から絶縁膜7上に、ゲートエンドキャップの長さxに渡って形成されている。従って、図29に示すソース・ドレイン領域SDAおよびSDBは電氣的に分離されている。なお、ゲート電極3の下部のシリコン基板8内にはチャンネル領域が形成されているので、断面方向においては活性領域1は見えないが、図33においては便宜的に活性領域1に対応する位置を破線で示している。

【0012】

【発明が解決しようとする課題】

このように、活性領域が凹部を有する形状であっても、通常はソース・ドレイン領域SDAおよびSDBは電氣的に分離されているが、凹部の形状によってはソース・ドレイン領域SDAおよびSDBを完全に分離できない場合がある。

【0013】

このような場合を図34および図35を用いて説明する。図34には、その端部が凹部とならず、角部が斜めに切り欠かれた形状の活性領域1Aが示されている。図34に示すA-A線における断面矢視図を図36に示す。図36に示されるようにゲート電極3は絶縁膜7上には達しておらず、活性領域1がゲート電極3よりも長くなっている。

【0014】

このような形状の活性領域1Aに、図29と同様のゲート電極2および3を形成すると、ゲート電極3の端部は絶縁膜7の上部には架からないことになる。そして、一般にソース・ドレイン領域はゲート電極を注入マスクとして不純物を注入して形成するので、ゲート電極3を注入マスクとして不純物を注入した場合、

ソース・ドレイン領域はゲート電極 3 の両側に形成されるだけでなくゲート電極 3 の先端部の周囲にも形成されることになるので、結果としてゲート電極 3 の両側のソース・ドレイン領域 SDA および SDB が電氣的にショートすることになり、MOS トランジスタとして機能しなくなる。

【0015】

図 35 には、その角部に凹部を有してはいるが、凹部が矩形状ではなくなった活性領域 1B が示されている。

【0016】

このような形状の活性領域 1B に、図 29 と同様のゲート電極 2 および 3 を形成すると、ゲート電極 3 の端部は、その一部が絶縁膜 7 の上部に架かるだけとなる。このような形状では、ゲート電極 3 の両側のソース・ドレイン領域 SDA および SDB は電氣的にショートしているわけではないが、部分的にゲート長が短くなる。すなわち、ゲート電極 3 のゲート長を L とし、図 35 に示すように、ゲート電極 3 の端部のうち絶縁膜 7 に架からない部分の長さを b とすると、実質的なゲート長はほぼ $L - b$ となる。このようにゲート長が部分的にでも短くなると、トランジスタ動作時においてソース・ドレイン領域 SDA とソース・ドレイン領域 SDB との間でリーク電流が流れ、MOS トランジスタとしての機能が低下する。また、図 37 にゲート電極の先端部がエッチング等により侵食されて丸みをおびた場合の構成を示す。図 37 に示すように、ゲート電極の先端部が丸みをおびているので、ゲート電極 3 の両側面において絶縁膜 7 に架からない部分が存在することになり、それぞれの長さを b および c とすると、実質的なゲート長はほぼ $L - b - c$ となり、ゲート電極 3 の先端部が丸みをおびない場合に比べて実質的なゲート長がさらに短くなる。

【0017】

なお図 34 および図 35 に示したような活性領域 1A および 1B が形成される原因としては、絶縁膜形成に際してレイアウト設計通りに絶縁膜が形成されなかったり、写真製版時の近接効果や、ソース・ドレイン領域の形成に際して不純物の導入位置が予定の位置からずれたようなことが考えられるが、これらは、半導体装置が微細化することで顕在化した問題であり、これまでは無視できた問題で

あると言える。

【0018】

本発明は上記のような問題点を解消するためになされたもので、半導体装置の微細化に伴って活性領域および当該活性領域を規定する絶縁膜がレイアウト設計通りに形成されなかった場合でも、ソース・ドレイン領域間における電流不良を招来しない半導体装置を提供する。

【0019】

【課題を解決するための手段】

本発明に係る請求項1記載の半導体装置は、少なくとも1のMOSトランジスタが形成される活性領域と、前記活性領域を規定する絶縁膜とを備えた半導体装置であって、前記活性領域の平面視形状は凹部を有した形状に設定され、前記活性領域は、通常領域と、前記凹部の存在によって前記通常部分よりも端縁部が後退した後退領域とを有し、前記少なくとも1のMOSトランジスタは、前記後退領域に形成される第1のMOSトランジスタと、前記通常領域に形成される第2のMOSトランジスタとを有し、前記第1のMOSトランジスタを構成する第1のゲート電極のマージン部の長さは、前記第2のMOSトランジスタを構成する第2のゲート電極のマージン部の長さよりも長く設定されるものである。

【0020】

本発明に係る請求項2記載の半導体装置は、前記凹部が前記活性領域の角部に形成され、前記第1のゲート電極のマージン部の長さが、前記第2のゲート電極のマージン部の長さ、と、前記凹部における後退長さに等しい長さとの合計値に設定されるものである。

【0021】

本発明に係る請求項3記載の半導体装置は、前記凹部は前記活性領域の角部に形成され、前記第1のゲート電極のマージン部の長さが、前記第2のゲート電極のマージン部の長さ、と、前記後退領域の端縁部から、前記凹部における前記活性領域の第1および第2の山折れ角部を結ぶように設定された仮想線と前記第1のゲート電極との交点までの長さとの合計値に設定されるものである。

【0022】

本発明に係る請求項4記載の半導体装置は、前記凹部は前記活性領域の角部以外に形成された窪み部であって、前記通常領域は、前記窪み部を挟んで第1および第2の通常領域に区分され、前記第2の通常領域に端縁部は前記第1の通常領域に端縁部よりも後退した位置にあり、前記第1のゲート電極のマージン部の長さが、前記第2のゲート電極のマージン部の長さ、前記後退領域の端縁部と前記第2の通常領域の端縁部との後退長さに等しい長さとの合計値に設定されるものである。

【0023】

本発明に係る請求項5記載の半導体装置は、前記凹部が前記活性領域の角部以外に形成された窪み部であって、前記通常領域は、前記窪み部を挟んで第1および第2の通常領域に区分され、前記第2の通常領域に端縁部は前記第1の通常領域に端縁部よりも後退した位置にあり、前記第1のゲート電極のマージン部の長さが、前記第2のゲート電極のマージン部の長さ、前記後退領域の端縁部から、前記凹部における前記第1の通常領域の山折れ角部と、前記第2の通常領域の山折れ角部とを結ぶように設定された仮想線と前記第1のゲート電極との交点までの長さとの合計値に設定されるものである。

【0024】

本発明に係る請求項6記載の半導体装置は、少なくとも1のMOSトランジスタが形成される活性領域と、前記活性領域を規定する絶縁膜とを備えた半導体装置であって、前記活性領域の平面視形状は凹部を有した形状に設定され、前記活性領域は、通常領域と、前記凹部の存在によって前記通常部分よりも端縁部が後退した後退領域とを有し、前記少なくとも1のMOSトランジスタは、前記後退領域に形成される第1のMOSトランジスタと、前記通常領域に形成される第2のMOSトランジスタとを有し、前記第1のMOSトランジスタを構成する第1のゲート電極のマージン部が、前記通常領域から遠ざかる方向に延在するように所定の角度で曲げられた屈曲部を有する形状に設定されるものである。

【0025】

本発明に係る請求項7記載の半導体装置は、前記凹部は前記活性領域の角部に

形成され、前記所定の角度は90度であって、前記後退領域は、前記第1のゲート電極に直交する第1の端縁部と、前記第1のゲート電極に平行する第2の端縁部とを有し、前記屈曲部は前記後退領域の第1の端縁部に接するかあるいは接触しないように延在し、前記屈曲部の長さが、その先端部が、前記第2のMOSトランジスタを構成する第2のゲート電極のマージン部の長さに等しい距離だけ前記後退領域の前記第2の端縁部から突出するように設定されるものである。

【0026】

本発明に係る請求項8記載の半導体装置は、前記凹部は前記活性領域の角部に形成され、前記所定の角度は90度であって、前記後退領域は、前記第1のゲート電極に直交する第1の端縁部と、前記第1のゲート電極に平行する第2の端縁部とを有し、前記屈曲部は前記後退領域の第1の端縁部に接触しないように延在し、前記屈曲部の長さが、その先端部が、前記凹部における前記活性領域の第1および第2の山折れ角部を結ぶように設定された仮想線と前記第1のゲート電極との交差位置から前記第2のMOSトランジスタを構成する第2のゲート電極のマージン部の長さに等しい距離だけ突出するように設定されるものである。

【0027】

本発明に係る請求項9記載の半導体装置は、前記凹部は前記活性領域の角部に形成され、前記屈曲部は、前記凹部における前記活性領域の第1および第2の山折れ角部を結ぶように設定された仮想線と前記第1のゲート電極との交差位置を中心として曲げられ、前記所定の角度は90度よりも小さく、前記屈曲部の長さが、その先端部が、前記交差位置から前記第2のMOSトランジスタを構成する第2のゲート電極のマージン部の長さに等しい距離だけ突出するように設定されるものである。

【0028】

本発明に係る請求項10記載の半導体装置は、少なくとも1のMOSトランジスタが形成される活性領域と、前記活性領域を規定する絶縁膜とを備えた半導体装置であって、前記活性領域の平面視形状は凹部を有した形状に設定され、前記活性領域は、通常領域と、前記凹部の存在によって前記通常部分よりも端縁が後退した後退領域とを有し、前記少なくとも1のMOSトランジスタは、前記後退

領域に配置され、電氣的に並列に接続された複数のMOSトランジスタを含み、前記複数のMOSトランジスタのそれぞれのゲート電極が、並列に配置されるとともに電氣的に共通に接続され、前記複数のMOSトランジスタのそれぞれのゲート電極のうち、少なくとも前記通常領域に最も近く位置するゲート電極と、該ゲート電極の隣のゲート電極のそれぞれのマージン部とを接続するものである。

【0029】

本発明に係る請求項11記載の半導体装置は、前記複数のMOSトランジスタのそれぞれのゲート電極のマージン部を全て接続するものである。

【0030】

【発明の実施の形態】

< A. 実施の形態1 >

< A-1. 装置構成 >

図1に半導体装置のレイアウト設計段階における活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図1において、活性領域1の平面視形状は、その角部に凹部を有する形状となっている。なお、活性領域1は絶縁膜7によって囲まれている。そして、凹部によって端縁部が低い位置になった後退領域DRにゲート電極30が配置され、その端縁部が後退領域DRよりも突出している通常領域（後退領域以外の領域）ORにゲート電極20が配置されている。

【0031】

ここで、ゲート電極20のゲートエンドキャップ（マージン部）の長さは x である。ゲートエンドキャップはゲート電極の長さが活性領域の差し渡し長さよりも短くなることを防止するためにレイアウト設計の段階でマージン部（活性領域からはみ出したゲート部分）として設定されるものである。また、その長さは、ゲート電極の先端部がエッチング等により侵食されて丸みをおび、部分的にゲート長が短くなった場合でも、その先端部が活性領域上に位置することがないように長さに設定される。なお、ゲート電極20のゲートエンドキャップの長さ x は、レイアウト設計上の活性領域の端縁部からの長さとして設定されている。

【0032】

一方、ゲート電極30のゲートエンドキャップの長さは $x + \alpha$ となっている。

ここで増加分の長さ α は、例えば通常領域に配設されるゲート電極のゲートエンドキャップの長さ x 以下 ($0 < \alpha \leq x$) に設定する。

【0033】

< A-2. 特徴的作用効果 >

図2に、このような設計値に基づいて実際に半導体装置を製造した場合の活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図2において、その角部に凹部を有してはいるが、凹部の形状が矩形状ではなくなった活性領域1Bが示されている。このような形状の活性領域1Bが得られるのは、絶縁膜の形成やソース・ドレイン領域の形成など種々の製造工程における設計値と結果物との微妙なずれが複合した結果であり、このような問題を根本的に解消することは容易ではないが、ゲート電極30のゲートエンドキャップは、上述したように $x + \alpha$ の長さに設定されているので、活性領域1Bの凹部に不要な活性領域が存在していても、ゲート電極30の端部が完全に絶縁膜7上に架かることになり、ゲート電極30のゲート長が部分的に短くなるということが防止される。従って、ソース・ドレイン領域間での電流リークが発生することが防止され、MOSトランジスタとしての機能を保つことができる。なお、製造過程で問題が生じず、凹部の形状が矩形状に形成された場合は、図1と同様の半導体装置が得られることは言うまでもない。

【0034】

< A-3. 変形例1 >

図2に示した活性領域1Bは、凹部に部分的に不要な活性領域が存在する程度であったが、その角部に凹部が形成されず、角部が斜めに切り欠かれた形状となった場合には、ゲートエンドキャップを上述した程度に長くしても効果がないことがある。その場合には以下に説明するようにゲートエンドキャップをさらに延ばすようにする。

【0035】

図3に半導体装置のレイアウト設計段階における活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図3において、凹部によって端縁部が低い位置になった後退領域DRにゲート電極30Aが配置され、その端部が後退

領域DRよりも突出している通常領域（後退領域以外の領域）ORにゲート電極20が配置されている。

【0036】

ここで、ゲート電極20のゲートエンドキャップの長さは x であるが、ゲート電極30Aのゲートエンドキャップの長さは $x+w$ となっている。なお、増加分の長さ w は凹部の後退長さに等しい長さであり、結果的に、ゲート電極20の最端部とゲート電極30Aの最端部は同じ直線上に並ぶことになる。

【0037】

図4に、このような設計値に基づいて実際に半導体装置を製造した場合の活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図4において、その角部に凹部が形成されず、角部が斜めに切り欠かれた形状となった活性領域1Aが示されている。このような形状の活性領域1Aが形成された場合であってもゲート電極30Aのゲートエンドキャップは、上述したように $x+w$ の長さに設定されているので、ゲート電極30Aの端部が完全に絶縁膜7上に架かることになり、ゲート電極30Aの両側のソース・ドレイン領域SDAおよびSDBは電氣的に分離され、両者がショートすることが防止され、MOSトランジスタとしての機能を保つことができる。なお、製造過程で問題が生じず、凹部の形状が矩形状に形成された場合は、図3と同様の半導体装置が得られることは言うまでもない。

【0038】

<A-4. 変形例2>

また、上述した変形例1では、凹部のゲートエンドキャップの長さを、凹部の後退長さに等しい長さ分だけ増加させる例を示したが、ゲートエンドキャップの長さをできるだけ低減するという観点から、以下に説明するようにゲートエンドキャップの長さを決定しても良い。

【0039】

図5に半導体装置のレイアウト設計段階における活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図5において、凹部によって端縁部が低い位置になった後退領域DRにゲート電極30Bが配置され、その端部が後退

領域DRよりも突出している通常領域（後退領域以外の領域）ORにゲート電極20が配置されている。

【0040】

ここで、ゲート電極20のゲートエンドキャップの長さは x であるが、ゲート電極30Bのゲートエンドキャップの長さは $x+z$ となっている。なお、増加分の長さ z は、活性領域1に凹部が形成されずに角部が斜めに切り欠かれた形状となった場合を想定して、活性領域1の凹部の2つの山折れ角部K1およびK2を結ぶ仮想線VLを設定し、後退領域DRの端縁部から、当該仮想線VLとゲート電極30Bとが交差（本例では仮想線VLとゲートエンドキャップの2つの長辺のうち通常領域ORに近い側の長辺が交差）するまでの長さである。なお、仮想線VLとゲート電極30Bとの交差位置の定義は、ゲート電極30Bの中心線と仮想線VLとが交差する位置でも良いし、仮想線VLとゲート電極30Bの2つの長辺のうち通常領域ORに近い側の長辺とが交差する位置でも良い。

【0041】

図6に、このような設計値に基づいて実際に半導体装置を製造した場合の活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図6において、その角部に凹部が形成されず、角部が斜めに切り欠かれた形状となった活性領域1Aが示されている。このような形状の活性領域1Aが形成された場合であってもゲート電極30Bのゲートエンドキャップは、上述したように $x+z$ の長さに設定されているので、ゲート電極30Bの端部が完全に絶縁膜7上に架かることになり、ゲート電極30Bの両側のソース・ドレイン領域SDAおよびSDBは電氣的に分離され、両者がショートすることが防止され、MOSトランジスタとしての機能を保つことができる。なお、製造過程で問題が生じず、凹部の形状が矩形状に形成された場合は、図5と同様の半導体装置が得られることは言うまでもない。

【0042】

なお、以上説明した本発明に係る実施の形態1およびその変形例1および2においては、後退領域に配置するゲート電極は1本のみを示し、当該ゲート電極のゲートエンドキャップの長さを長くする構成を説明したが、後退領域にゲート電

極を複数配置する場合でも、ゲートエンドキャップの長さを長くする必要があるのは最も内側に位置するゲート電極だけである。

【0043】

この構成を図7に示す。図7においては、後退領域DRの面積が広く複数のゲート電極を形成した活性領域ARが示されているが、この場合においてゲートエンドキャップの長さが長くなっているのは通常領域に最も近いゲート電極GE1のみである。このように本発明の適用を限定するのは、不要な活性領域が形成されるのは破線で示されるように凹部の側壁近傍であることが殆どなので、側壁近傍のゲート電極に本発明を適用すれば足りるからである。

【0044】

<B. 実施の形態2>

<B-1. 装置構成>

図8に半導体装置のレイアウト設計段階における活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図8において、活性領域1の平面視形状は、その角部に凹部を有する形状となっている。そして、凹部によって端縁部が低い位置になった後退領域DRにゲート電極30Cが配置され、その端部が後退領域DRよりも突出している通常領域（後退領域以外の領域）ORにゲート電極20が配置されている。なお、活性領域1は絶縁膜7によって囲まれている。

【0045】

ここで、ゲート電極30Cは、ゲートエンドキャップを通常領域ORとは反対方向に延在するようにほぼ90度の角度で曲げた屈曲部BPを有した構造となっている。また、ゲート電極30Cは、屈曲部BPと後退領域DRの水平端縁部（第1の端縁部）との間の距離を所定長さsに保つように配置される。なお、所定長さsはゲートエンドキャップと後退領域DRとが平面視的に若干接触するかしない程度であれば良い。また屈曲部BPの長さは、通常領域に配置されるゲート電極のゲートエンドキャップの長さx程度であれば良い。

【0046】

<B-2. 特徴的作用効果>

図9に、このような設計値に基づいて実際に半導体装置を製造した場合の活性

領域の一部分と、その活性領域上に配置されたゲート電極を示す。図 9 において、その角部に凹部を有してはいるが、凹部の形状が矩形状ではなくなった活性領域 1 B が示されている。このような形状の活性領域 1 B が形成された場合であっても、ゲート電極 30 C のゲートエンドキャップは、上述したように通常領域 O R とは反対方向に、ほぼ 90 度の角度で曲がっているため、活性領域 1 B の凹部に不要な活性領域が存在していても、ゲート電極 30 C の端部は完全に絶縁膜 7 上に架かることになり、ゲート電極 30 C のゲート長が部分的に短くなるということが防止される。従って、ソース・ドレイン領域間での電流リークが発生することが防止され、MOS トランジスタとしての機能を保つことができる。なお、製造過程で問題が生じず、凹部の形状が矩形状に形成された場合は、図 8 と同様の半導体装置が得られることは言うまでもない。

【0047】

< B-3. 変形例 1 >

図 9 に示した活性領域 1 B は、凹部に部分的に不要な活性領域が存在する程度であったが、不要な活性領域の面積が広い場合、あるいは、その角部に凹部が形成されず、角部が斜めに切り欠かれた形状となった場合には、ゲートエンドキャップを通常領域とは反対方向にほぼ 90 度の角度で曲げ、その屈曲部の長さを通常部分でのゲートエンドキャップの長さ x 程度としただけでは効果がないことがある。その場合には以下に説明するように屈曲部の長さをさらに延ばすようにする。

【0048】

図 10 に半導体装置のレイアウト設計段階における活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図 10 において、通常領域とは反対方向にほぼ 90 度の角度で曲げられた屈曲部 B D を有するゲート電極 30 D が後退領域 D R に形成され、屈曲部 B D の先端部が後退領域 D R の垂直端縁部（第 2 の端縁部）より突出するように配置されている。ここで、ゲート電極 30 D の先端部は、後退領域 D R の垂直端縁部から、通常領域に配置されるゲート電極のゲートエンドキャップの長さ x 程度突出するように設定されている。

【0049】

図11に、このような設計値に基づいて実際に半導体装置を製造した場合の活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図11において、その角部に凹部を有してはいるが、凹部の形状が矩形状ではなくなった活性領域1Cが示されている。活性領域1Bの不要部分の面積は図9に示す活性領域1Bの不要部分に比べて広いが、ゲート電極30Dのゲートエンドキャップの先端部は、後退領域DRの垂直端縁部から長さx程度突出するように形成されているので、ゲート電極30Dのゲート長が部分的に短くなるということが防止される。従って、ソース・ドレイン領域間での電流リークが発生することが防止され、MOSトランジスタとしての機能を保つことができる。なお、製造過程で問題が生じず、凹部の形状が矩形状に形成された場合は、図10と同様の半導体装置が得られることは言うまでもない。

【0050】

<B-4. 変形例2>

また、上述した変形例1では、通常領域とは反対方向に屈曲した屈曲部を有するゲート電極の先端部を、後退領域の垂直端縁部から、通常領域に配置されるゲート電極のゲートエンドキャップの長さx程度突出させる例を示したが、ゲートエンドキャップの長さをできるだけ低減するという観点から、以下に説明するようにゲートエンドキャップの長さを決定しても良い。

【0051】

図12に半導体装置のレイアウト設計段階における活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図12において、通常領域とは反対方向にほぼ90度の角度で曲げられた屈曲部BDを有するゲート電極30Eが後退領域DRに形成されている。

【0052】

ここで、ゲート電極30Eは、屈曲部BDと後退領域DRの水平端縁部（第1の端縁部）との間の距離を所定長さm（mは0以上）に保つように配置されている。そして、ゲート電極30Eは、活性領域1に凹部が形成されずに角部が斜めに切り欠かれた形状となった場合を想定して、活性領域1の凹部の2つの山折れ

角部 K1 および K2 を結ぶ仮想線 VL を設定し、当該仮想線 VL と屈曲部とが交差（本例では仮想線 VL と屈曲部の 2 つの長辺のうち後退領域 DR に近い側の長辺が交差）する位置から長さ x 程度突出するように形成されている。従って、図 10 を用いて説明したゲート電極 30D に比べてゲートエンドキャップの長さを短くできる。

【0053】

なお、仮想線 VL とゲート電極 30E との交差位置の定義は、ゲート電極 30E の中心線と仮想線 VL とが交差する位置でも良いし、仮想線 VL とゲート電極 30E の 2 つの長辺のうち後退領域 DR に遠い側の長辺とが交差する位置でも良い。また、長さ m は仮想線に合わせて設定すれば良い。すなわち、凹部の 2 つの山折れ角部 K1 および K2 よりも内側の 2 点を結ぶ仮想線を設定する場合には長さ m は短くすれば良い。

【0054】

図 13 に、このような設計値に基づいて実際に半導体装置を製造した場合の活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図 13 において、その角部に凹部が形成されず、角部が斜めに切り欠かれた形状となった活性領域 1A が示されている。このような形状の活性領域 1A が形成された場合であっても、ゲート電極 30E のゲートエンドキャップは、活性領域 1A の切り欠部から長さ x 程度突出するように形成されているので、ゲート電極 30E の端部が完全に絶縁膜 7 上に架かることになり、ゲート電極 30E の両側のソース・ドレイン領域 SDA および SDB は電氣的に分離され、両者がショートすることが防止され、MOS トランジスタとしての機能を保つことができる。なお、製造過程で問題が生じず、凹部の形状が矩形状に形成された場合は、図 12 と同様の半導体装置が得られることは言うまでもない。

【0055】

<B-5. 変形例 3>

また、以上説明した実施の形態 2 およびその変形例 1 および 2 においては、通常領域とは反対方向に屈曲した屈曲部を有するゲート電極について例示したが、ゲートエンドキャップの曲げ角度は 90 度に限定されるものではない。

【0056】

図14に半導体装置のレイアウト設計段階における活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図14において、ゲートエンドキャップが、通常領域から遠ざかる方向に90度よりも小さい角度 β ($0^\circ < \beta < 90^\circ$)で曲げられた屈曲部を有するゲート電極30Fが配置されている。

【0057】

ここで、ゲート電極30Fは、活性領域1に凹部が形成されずに角部が斜めに切り欠かれた形状となった場合を想定して、活性領域1の凹部の2つの山折れ角部K1およびK2を結ぶ仮想線VLを設定し、当該仮想線VLと屈曲部とが交差（本例では仮想線VLと屈曲部の2つの長辺のうち後退領域DR側の長辺が交差）する位置を中心として角度 β で曲げられている。そして、屈曲部の長さは曲げ中心（仮想線VLと屈曲部との交点）から長さx程度突出するように形成されている。

【0058】

なお、仮想線VLとゲート電極30Fとの交差位置の定義は、ゲート電極30Fの中心線と仮想線VLとが交差する位置でも良いし、仮想線VLとゲート電極30Fの2つの長辺のうち後退領域DRに遠い側の長辺とが交差する位置でも良い。

【0059】

図15に、このような設計値に基づいて実際に半導体装置を製造した場合の活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図15において、その角部に凹部が形成されず、角部が斜めに切り欠かれた形状となった活性領域1Aが示されている。このような形状の活性領域1Aが形成された場合であっても、ゲート電極30Fのゲートエンドキャップは、活性領域1Aの切り欠部から長さx程度突出するように形成されているので、ゲート電極30Fの端部が完全に絶縁膜7上に架かることになり、ゲート電極30Fの両側のソース・ドレイン領域SDAおよびSDBは電氣的に分離され、両者がショートすることが防止され、MOSトランジスタとしての機能を保つことができる。なお、製造過程で問題が生じず、凹部の形状が矩形状に形成された場合は、図14と同様の半

導体装置が得られることは言うまでもない。

【0060】

<C. 実施の形態 3>

<C-1. 装置構成>

以上説明した本発明に係る実施の形態 1 および 2 においては、活性領域の凹部に位置するゲート電極は 1 本のみを示したが、活性領域の凹部にゲート電極が複数形成される場合もある。

【0061】

図 16 は NMOS トランジスタ Q10 および Q20 を並列に接続した構成を示す図である。図 16 において NMOS トランジスタ Q10 および Q20 のドレイン電極は共通に接続され、ソース電極も共通に接続され、それぞれのゲート電極 301 および 302 は共通の入力部 C に接続されている。

【0062】

図 17 に半導体装置のレイアウト設計段階における活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図 17 において、活性領域 1 の平面視形状は、その角部に凹部を有する形状となっている。なお、活性領域 1 は絶縁膜 7 によって囲まれている。そして、凹部によって端縁部が低い位置になった後退領域 DR にゲート電極 30G が配設され、その端部が後退領域 DR よりも突出している通常領域（後退領域以外の領域）OR にゲート電極 20 が配置されている。

【0063】

ここで、ゲート電極 30G は後退領域 DR に通常領域 OR 側から順に配設されたゲート電極 301 および 302 と、両者のゲートエンドキャップを互いに接続する接続体 303 とで構成され、U 字型の平面視形状をなしている。ここで、ゲート電極 30G は、接続体 303 と後退領域 DR の水平端縁部との間の距離を所定長さ m（m は 0 以上）に保つように配置されている。

【0064】

<C-2. 特徴的作用効果>

図 18 に、このような設計値に基づいて実際に半導体装置を製造した場合の活

性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図18において、その角部に凹部を有してはいるが、凹部の形状が矩形状ではなくなった活性領域1Dが示されている。このような形状の活性領域1Dが形成された場合であっても、ゲート電極30Gのゲートエンドキャップは、上述したようにゲート電極301および302のゲートエンドキャップを互いに接続する構成となっているので、活性領域1Dの凹部に不要な活性領域が存在していても、ソース・ドレイン領域SDBがゲート電極301および302と接続体303とで囲まれ、ゲート電極301および302の外側に位置するソース・ドレイン領域SDAとは電氣的に分離され、両者がショートすることが防止され、MOSトランジスタとしての機能を保つことができる。なお、製造過程で問題が生じず、凹部の形状が矩形状に形成された場合は、図17と同様の半導体装置が得られることは言うまでもない。

【0065】

<C-3. 変形例>

以上説明した本発明に係る実施の形態3においては、活性領域の凹部にゲート電極が2本、すなわち2つのトランジスタが形成される場合を示したが、活性領域の凹部にゲート電極が2本以上形成される場合もある。

【0066】

図19はNMOSトランジスタQ11～Q1nを並列に接続した構成を示す図である。図19においてNMOSトランジスタQ11～Q1nのそれぞれのドレイン電極は全て共通に接続され、ソース電極も全て共通に接続され、NMOSトランジスタQ11～Q1nのそれぞれのゲート電極G11～G1nは共通の入力部Cに接続されている。

【0067】

このようなNMOSトランジスタQ11～Q1nの並列接続体が後退領域に形成された状態を図20に示す。図20において活性領域ARの凹部に通常領域OR側から順にゲート電極G11～G1nが配設されている。そして、ゲート電極G11～G1nのゲートエンドキャップは全て共通に接続されている。

【0068】

このように、後退領域に複数配設されるゲート電極が全て電氣的に共通に接続される場合には、ゲートエンドキャップを共通に接続すれば、活性領域の凹部に不要な活性領域が広い範囲に渡って存在していても、ソース・ドレイン領域は何れもゲート電極によって囲まれることになるので、互いに電氣的に分離され、隣合うソース・ドレイン領域がショートすることが防止され、MOSトランジスタとしての機能を保つことができる。

【0069】

なお、後退領域にゲート電極が2本以上形成される場合、上述のように全てのゲート電極のゲートエンドキャップを共通に接続しなくても良い。

【0070】

すなわち、図21に示すように、通常領域に最も近いゲート電極G11とその隣のゲート電極G12のゲートエンドキャップを共通に接続するだけでも良い。これは、不要な活性領域が形成されるのは通常領域の近傍であることが殆どなので、通常領域近傍のゲート電極に本発明を適用すれば足りるからである。

【0071】

<D. 実施の形態4>

<D-1. 装置構成>

以上説明した本発明に係る実施の形態1～3においては、活性領域の角部に凹部が形成される構成を示したが、端部以外にも凹部が形成される場合がある。

【0072】

活性領域1の端部以外にも凹部が形成される場合としては、例えば、図22に示すようなレシオラッチ回路C20を形成する場合がある。図22において、PMOSトランジスタQ21およびNMOSトランジスタQ22で構成されるトランスミッションゲートの出力端に、PMOSトランジスタQ31およびNMOSトランジスタQ32で構成されるインバータ回路C3の入力端が接続され、インバータ回路C3の出力端がレシオラッチ回路C20の出力端となっている。そして、インバータ回路C3の出力端には、PMOSトランジスタQ41およびNMOSトランジスタQ42で構成されるインバータ回路C4の入力端が接続され、

インバータ回路C4の出力端はインバータ回路C3の入力端に接続されている。
 なお、PMOSトランジスタQ21およびNMOSトランジスタQ22、PMOSトランジスタQ31およびNMOSトランジスタQ32、PMOSトランジスタQ41およびNMOSトランジスタQ42のそれぞれのゲート電極は、ゲート電極G21およびG22、ゲート電極G31およびG32、ゲート電極G41およびG42である。

【0073】

このような構成のレシオラッチ回路C20のNMOSトランジスタのレイアウト図を図23に示す。

【0074】

図23において、活性領域ARの平面視形状は、中央部に凹部を有した形状である。そして、凹部によって差し渡し長さが短くなった後退領域DRにゲート電極G42が配置され、後退領域DRの両側の、後退領域DRよりも差し渡し長さが長い通常領域（後退領域以外の領域）OR1およびOR2にはそれぞれゲート電極G22およびG32が配置されている。なお、活性領域ARは絶縁膜IFによって囲まれている。

【0075】

このように、端部以外に凹部を有する活性領域においても、当該凹部に不要な活性領域が形成されることがあるが、以下に説明するような構成とすることで、不要な活性領域の存在に起因するMOSトランジスタの機能喪失を防止することができる。

【0076】

図24に半導体装置のレイアウト設計段階における活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図24において、活性領域10の平面視形状は、端部以外の部分に凹部を有する形状となっている。そして、活性領域10は絶縁膜7によって囲まれている。なお、この場合は凹部というよりも窪み部と呼称しても良い。

【0077】

そして、凹部によって端縁部が低い位置になった後退領域DRにゲート電極3

0Hが配置されている。そして、後退領域DRの両側は、端縁部が後退領域DRよりも突出している通常領域（後退領域以外の領域）OR1およびOR2（第1および第2の通常領域）となっている。なお、通常領域OR1にはゲート電極20が配置されている。ここで、ゲート電極20のゲートエンドキャップの長さはxである。

【0078】

ここで、通常領域OR2の端部は通常領域OR1の端部よりも後退した位置にあり、通常領域OR1とOR2との間には後退長さに差がある。そして、ゲート電極30Hのゲートエンドキャップの長さは、通常領域OR2の端縁部から、通常領域OR1に配置されるゲート電極20のゲートエンドキャップの長さx程度突出するように設定されている。

【0079】

<D-2. 特徴的作用効果>

図25に、このような設計値に基づいて実際に半導体装置を製造した場合の活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図25において、凹部の形状が矩形状ではなくなった活性領域10Aが示されている。このような形状の活性領域10Aが形成された場合であっても、ゲート電極30Hのゲートエンドキャップは、上述したように通常領域OR2の端縁部から、通常領域OR1に配置されるゲート電極20のゲートエンドキャップの長さx程度突出するように設定されているので、活性領域10Aの凹部に不要な活性領域が存在していても、ゲート電極30Hの端部が完全に絶縁膜7上に架かることになり、ゲート電極30Hのゲート長が部分的に短くなるということが防止される。従って、ソース・ドレイン領域間での電流リークが発生することが防止され、MOSトランジスタとしての機能を保つことができる。なお、製造過程で問題が生じず、凹部不要な活性領域が存在しない場合は、図24と同様の半導体装置が得られることは言うまでもない。

【0080】

<D-3. 変形例1>

以上説明した実施の形態4においては、ゲート電極30Hのゲートエンドキャ

ップは、上述したように通常領域OR2の端縁部から、通常領域OR1に配置されるゲート電極20のゲートエンドキャップの長さx程度突出するように設定されていたが、以下のようにしてゲートエンドキャップの長さを設定するようにしても良い。

【0081】

図26に半導体装置のレイアウト設計段階における活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図26において、後退領域DRにゲート電極30Iが配置され、ゲート電極20が通常領域OR1に配置されている。

【0082】

ここで、ゲート電極20のゲートエンドキャップの長さはxであるが、ゲート電極30Iのゲートエンドキャップの長さは、凹部が埋められた形状となった場合を想定して、活性領域10の凹部の2つの山折れ角部K1およびK2を結ぶ仮想線VLを設定し、当該仮想線VLとゲート電極30Iとが交差（本例では仮想線VLとゲートエンドキャップの2つの長辺のうち通常領域OR1に近い側の長辺が交差）する位置から長さx程度突出するように形成されている。

【0083】

なお、仮想線VLとゲート電極30Iとの交差位置の定義は、ゲート電極30Iの中心線と仮想線VLとが交差する位置でも良いし、仮想線VLとゲート電極30Iの2つの長辺のうち通常領域OR2に近い側の長辺とが交差する位置でも良い。

【0084】

図27に、このような設計値に基づいて実際に半導体装置を製造した場合の活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図27において、凹部の形状が矩形状ではなくなくった活性領域10Aが示されている。このような形状の活性領域10Aが形成された場合であっても、ゲート電極30Iのゲートエンドキャップは、上述したように、仮想線VLとゲート電極30Iとの交差位置から長さx程度突出するように形成されているので、活性領域10Aの凹部に不要な活性領域が存在していても、ゲート電極30Iの端部が完全に絶

縁膜 7 上に架かることになり、ゲート電極 30 I のゲート長が部分的に短くなるということが防止される。従って、ソース・ドレイン領域間での電流リークが発生することが防止され、MOS トランジスタとしての機能を保つことができる。なお、製造過程で問題が生じず、凹部不要な活性領域が存在しない場合は、図 26 と同様の半導体装置が得られることは言うまでもない。

【0085】

< D-4. 変形例 2 >

以上説明した実施の形態 4 においては、通常領域 OR 1 と OR 2 とで後退長さが異なる活性領域を示したが、凹部の左右で後退長さが同じ場合には、以下のようにしてゲートエンドキャップの長さを設定するようにすれば良い。

【0086】

図 28 に半導体装置のレイアウト設計段階における活性領域の一部分と、その活性領域上に配置されたゲート電極を示す。図 28 の活性領域 100 は、凹部の左右で後退長さが同一の平面視形状であり、凹部によって端縁部が低い位置になった後退領域 DR にゲート電極 30 J が配置され、通常領域 OR 1 にはゲート電極 20 が配置されている。

【0087】

ここで、ゲート電極 30 J のゲートエンドキャップの長さは、後退領域 DR の端縁部から、通常領域 OR 1 に配置されるゲート電極 20 のゲートエンドキャップの長さ x 程度突出するように設定されている。このように構成することで、例えば凹部が不要な活性領域で埋められて存在しなくなった場合でもゲート電極 30 J の両側のソース・ドレイン領域 SDA および SDB は電氣的に分離され、両者がショートすることが防止され、MOS トランジスタとしての機能を保つことができる。

【0088】

【発明の効果】

本発明に係る請求項 1 記載の半導体装置によれば、第 1 の MOS トランジスタを構成する第 1 のゲート電極のマージン部の長さを、第 2 の MOS トランジスタを構成する第 2 のゲート電極のマージン部の長さよりも長く設定するので、種々

の製造工程を経た後に活性領域の凹部に不要な活性領域が存在することになった場合でも、第1のゲート電極の端部が完全に絶縁膜上に架かることになり、第1のゲート電極のゲート長が部分的に短くなるということが防止され、第1のゲート電極の両側面外方に形成されるソース・ドレイン領域間での電流リークが発生することが防止される。また、凹部が不要な活性領域で埋められた場合でも、第1のゲート電極の両側面外方に形成されるソース・ドレイン領域は電氣的に分離され、両者がショートすることが防止され、正常に動作するMOSトランジスタを得ることができる。

【0089】

本発明に係る請求項2記載の半導体装置によれば、第1のゲート電極のマージン部の長さが十分長くなるので、種々の製造工程を経た後に角部に凹部が形成されず、角部が斜めに切り欠かれた形状となった活性領域が得られた場合でも、第1のゲート電極の端部が完全に絶縁膜上に架かることになり、第1のゲート電極の両側面外方に形成されるソース・ドレイン領域は電氣的に分離され、両者がショートすることが防止され、正常に動作するMOSトランジスタを得ることができる。

【0090】

本発明に係る請求項3記載の半導体装置によれば、活性領域の角部に凹部が形成されず、角部が斜めに切り欠かれた形状となった場合を想定して第1のゲート電極のマージン部の長さを設定するので、種々の製造工程を経た後に角部に凹部が形成されず、角部が斜めに切り欠かれた形状となった活性領域が得られた場合でも、第1のゲート電極の端部が完全に絶縁膜上に架かることになり、第1のゲート電極の両側面外方に形成されるソース・ドレイン領域は電氣的に分離され、両者がショートすることが防止され、正常に動作するMOSトランジスタを得ることができる。また、第1のゲート電極のマージン部が必要以上に長くなることが防止される。

【0091】

本発明に係る請求項4記載の半導体装置によれば、第1のゲート電極のマージン部の長さが十分長くなるので、種々の製造工程を経た後に活性領域の凹部に不

要な活性領域が存在することになった場合でも、第1のゲート電極の端部が完全に絶縁膜上に架かることになり、第1のゲート電極のゲート長が部分的に短くなるということが防止される。従って、第1のゲート電極の両側面外方に形成されるソース・ドレイン領域間での電流リークが発生することが防止され、正常に動作するMOSトランジスタを得ることができる。

【0092】

本発明に係る請求項5記載の半導体装置によれば、凹部が不要な活性領域で埋められた場合を想定して第1のゲート電極のマージン部の長さを設定するので、第1のゲート電極のマージン部が必要以上に長くなることが防止される。

【0093】

本発明に係る請求項6記載の半導体装置によれば、第1のMOSトランジスタを構成する第1のゲート電極のマージン部を、通常領域から遠ざかる方向に延在するように所定の角度で曲げられた屈曲部を有する形状に設定するので、種々の製造工程を経た後に活性領域の凹部に不要な活性領域が存在することになった場合でも、第1のゲート電極の端部が完全に絶縁膜上に架かることになり、第1のゲート電極のゲート長が部分的に短くなるということが防止され、第1のゲート電極の両側面外方に形成されるソース・ドレイン領域間での電流リークが発生することが防止される。また、凹部が不要な活性領域で埋められた場合でも、第1のゲート電極の両側面外方に形成されるソース・ドレイン領域は電氣的に分離され、両者がショートすることが防止され、正常に動作するMOSトランジスタを得ることができる。

【0094】

本発明に係る請求項7記載の半導体装置によれば、屈曲部の先端部が後退領域の前記第2の端縁部から突出するように設定されるので、種々の製造工程を経た後に活性領域の凹部に不要な活性領域が存在することになった場合でも、第1のゲート電極の端部が完全に絶縁膜上に架かることになり第1のゲート電極のゲート長が部分的に短くなるということが防止され、第1のゲート電極の両側面外方に形成されるソース・ドレイン領域間での電流リークが発生することが防止され、正常に動作するMOSトランジスタを得ることができる。

【0095】

本発明に係る請求項 8 記載の半導体装置によれば、活性領域の角部に凹部が形成されず、角部が斜めに切り欠かれた形状となった場合を想定して第 1 のゲート電極のマージン部の長さを設定するので、種々の製造工程を経た後に角部に凹部が形成されず、角部が斜めに切り欠かれた形状となった活性領域が得られた場合でも、第 1 のゲート電極の端部が完全に絶縁膜上に架かることになり、第 1 のゲート電極の両側面外方に形成されるソース・ドレイン領域は電氣的に分離され、両者がショートすることが防止され、正常に動作する MOS トランジスタを得ることができる。また、第 1 のゲート電極のマージン部が必要以上に長くなることが防止される。

【0096】

本発明に係る請求項 9 記載の半導体装置によれば、屈曲部のの先端部が、仮想線との交差位置から突出するように設定されるので、種々の製造工程を経た後に角部に凹部が形成されず、角部が斜めに切り欠かれた形状となった活性領域が得られた場合でも、第 1 のゲート電極の端部が完全に絶縁膜上に架かることになり、第 1 のゲート電極の両側面外方に形成されるソース・ドレイン領域は電氣的に分離され、両者がショートすることが防止され、正常に動作する MOS トランジスタを得ることができる。

【0097】

本発明に係る請求項 10 記載の半導体装置によれば、後退領域に電氣的に並列に接続された複数の MOS トランジスタが配置される場合、複数の MOS トランジスタのそれぞれのゲート電極のうち、少なくとも通常領域に最も近く位置するゲート電極と、該ゲート電極の隣のゲート電極のそれぞれのマージン部を接続するので、上記 2 つのゲート電極間のソース・ドレイン領域が、2 つのゲート電極とそれぞれのマージン部の接続体とで囲まれることになるので、種々の製造工程を経た後に活性領域の凹部に不要な活性領域が存在することになった場合でも、上記 2 つのゲート電極間のソース・ドレイン領域は他のソース・ドレイン領域と電氣的に分離され、両者がショートすることが防止され、正常に動作する MOS トランジスタを得ることができる。

【0098】

本発明に係る請求項 11 記載の半導体装置によれば、後退領域に電氣的に並列に接続された複数の MOS トランジスタが配置される場合、複数の MOS トランジスタのそれぞれのゲート電極のマージン部を全て接続するので、活性領域の凹部に不要な活性領域が広い範囲で存在することになった場合でも、ゲート電極間のソース・ドレイン領域は互いに電氣的に分離され、互いにショートすることが防止され、正常に動作する MOS トランジスタを得ることができる。

【図面の簡単な説明】

- 【図 1】 本発明に係る実施の形態 1 を説明する図である。
- 【図 2】 本発明に係る実施の形態 1 を説明する図である。
- 【図 3】 本発明に係る実施の形態 1 を説明する図である。
- 【図 4】 本発明に係る実施の形態 1 を説明する図である。
- 【図 5】 本発明に係る実施の形態 1 を説明する図である。
- 【図 6】 本発明に係る実施の形態 1 を説明する図である。
- 【図 7】 本発明に係る実施の形態 1 を説明する図である。
- 【図 8】 本発明に係る実施の形態 2 を説明する図である。
- 【図 9】 本発明に係る実施の形態 2 を説明する図である。
- 【図 10】 本発明に係る実施の形態 2 を説明する図である。
- 【図 11】 本発明に係る実施の形態 2 を説明する図である。
- 【図 12】 本発明に係る実施の形態 2 を説明する図である。
- 【図 13】 本発明に係る実施の形態 2 を説明する図である。
- 【図 14】 本発明に係る実施の形態 2 を説明する図である。
- 【図 15】 本発明に係る実施の形態 2 を説明する図である。
- 【図 16】 本発明に係る実施の形態 3 を説明する図である。
- 【図 17】 本発明に係る実施の形態 3 を説明する図である。
- 【図 18】 本発明に係る実施の形態 3 を説明する図である。
- 【図 19】 本発明に係る実施の形態 3 を説明する図である。
- 【図 20】 本発明に係る実施の形態 3 を説明する図である。
- 【図 21】 本発明に係る実施の形態 3 を説明する図である。

- 【図 2 2】 本発明に係る実施の形態 4 を説明する図である。
- 【図 2 3】 本発明に係る実施の形態 4 を説明する図である。
- 【図 2 4】 本発明に係る実施の形態 4 を説明する図である。
- 【図 2 5】 本発明に係る実施の形態 4 を説明する図である。
- 【図 2 6】 本発明に係る実施の形態 4 を説明する図である。
- 【図 2 7】 本発明に係る実施の形態 4 を説明する図である。
- 【図 2 8】 本発明に係る実施の形態 4 を説明する図である。
- 【図 2 9】 従来の半導体装置の問題点を説明する図である。
- 【図 3 0】 活性領域に凹部を有する回路の一例を説明する図である。
- 【図 3 1】 活性領域に凹部を有する回路の一例を説明する図である。
- 【図 3 2】 活性領域に凹部を有する回路の一例のレイアウトを説明する図である。

【図 3 3】 通常の活性領域の断面構成を説明する図である。

【図 3 4】 従来の半導体装置の構成を説明する図である。

【図 3 5】 従来の半導体装置の構成を説明する図である。

【図 3 6】 活性領域の後退領域の断面構成を説明する図である。

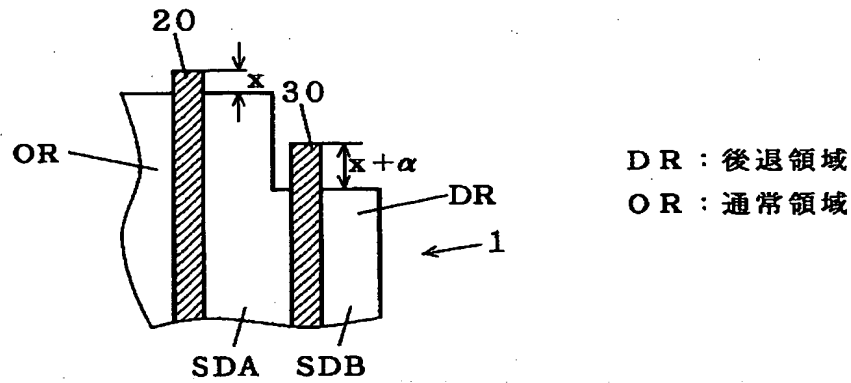
【図 3 7】 従来の半導体装置の構成を説明する図である。

【符号の説明】

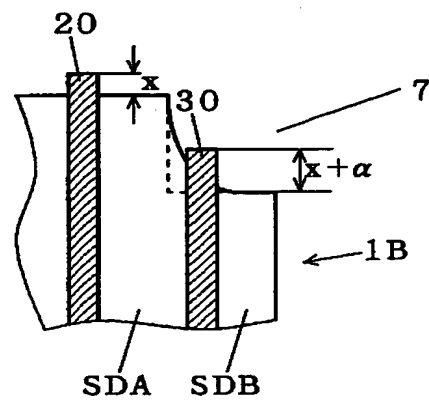
DR 後退領域、OR, OR1, OR2 通常領域、BP 屈曲部、K1, K2 山折れ角部。

【書類名】 図面

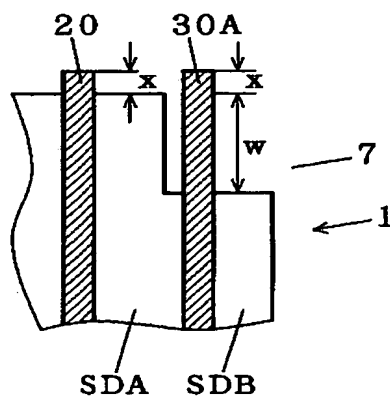
【図1】



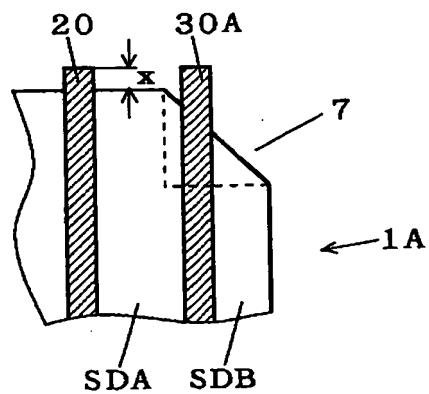
【図2】



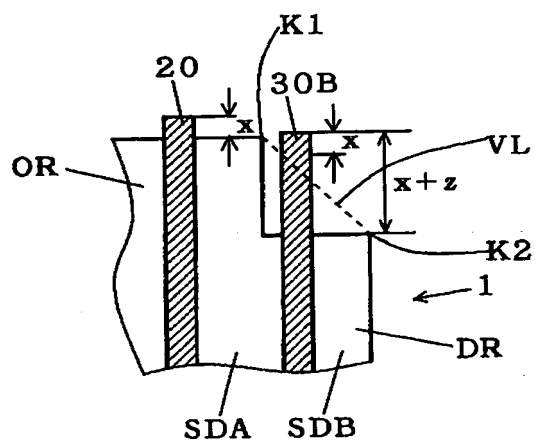
【図3】



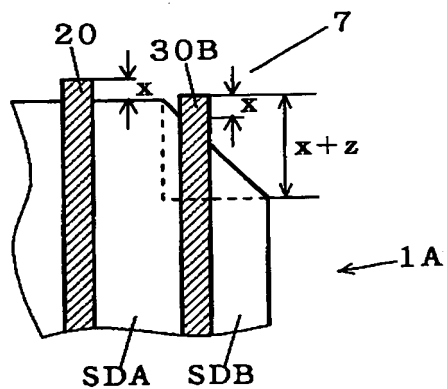
【図 4】



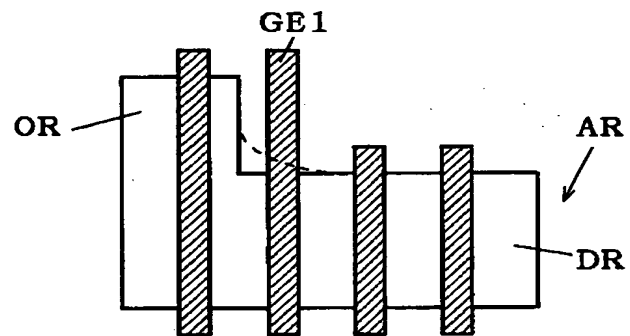
【図 5】



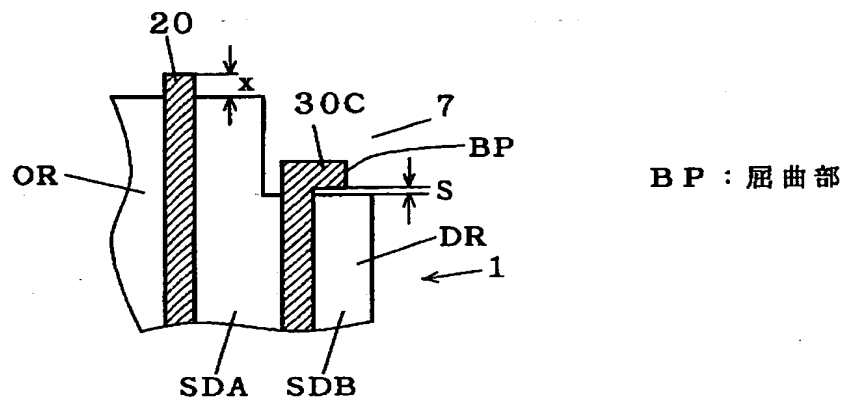
【図 6】



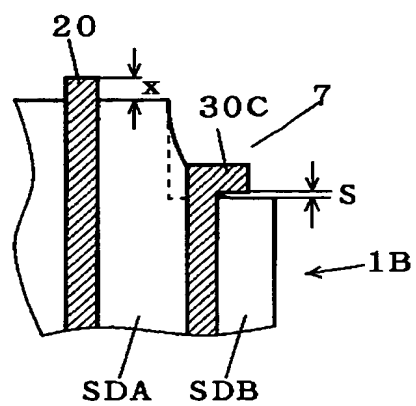
【図7】



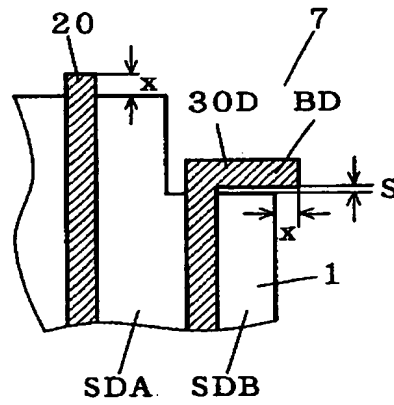
【図8】



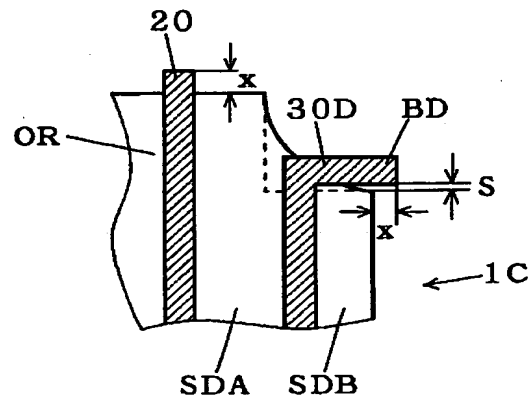
【図9】



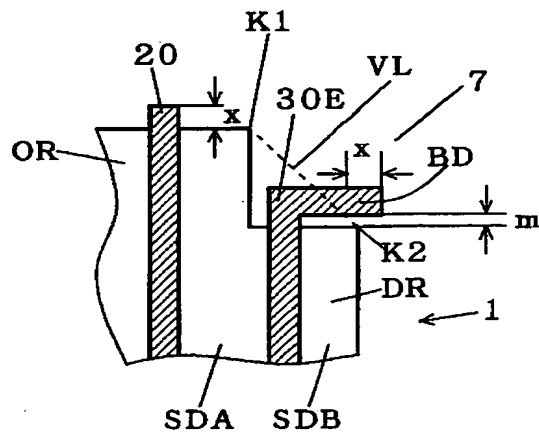
【図 10】



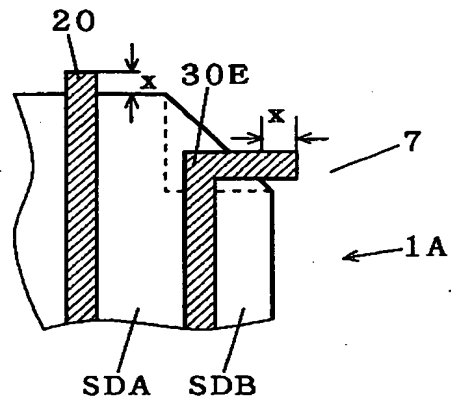
【図 11】



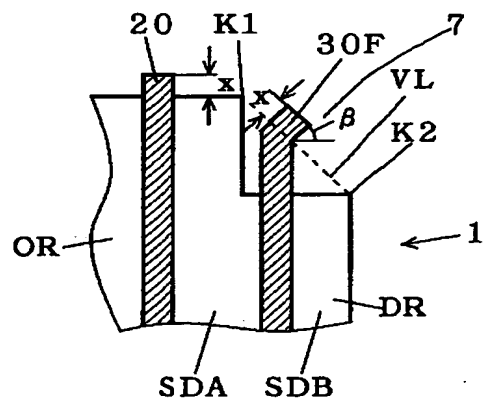
【図 12】



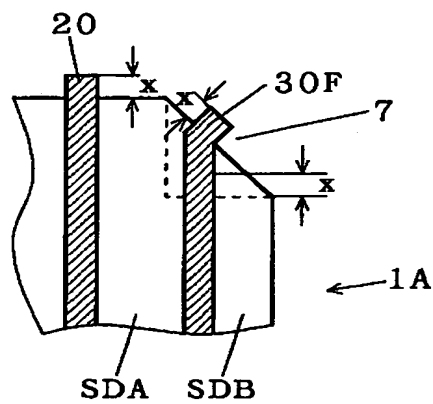
【図13】



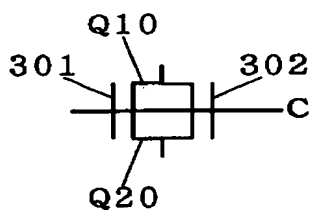
【図14】



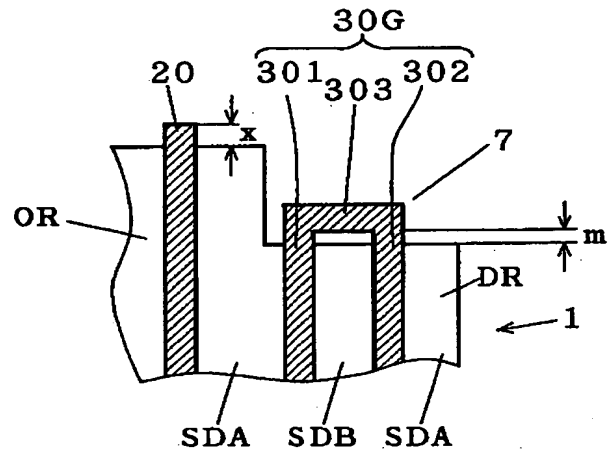
【図15】



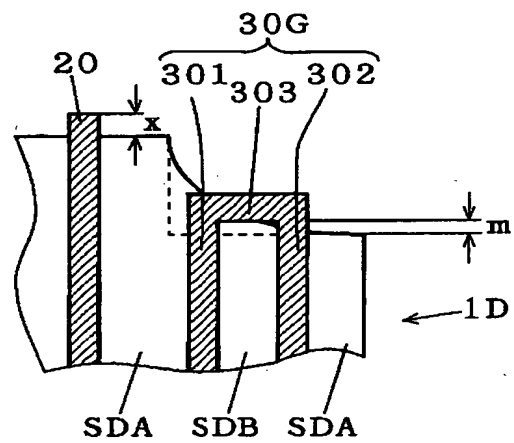
【図16】



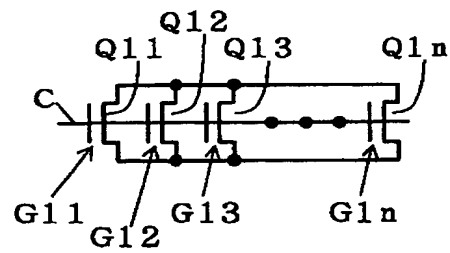
【図 17】



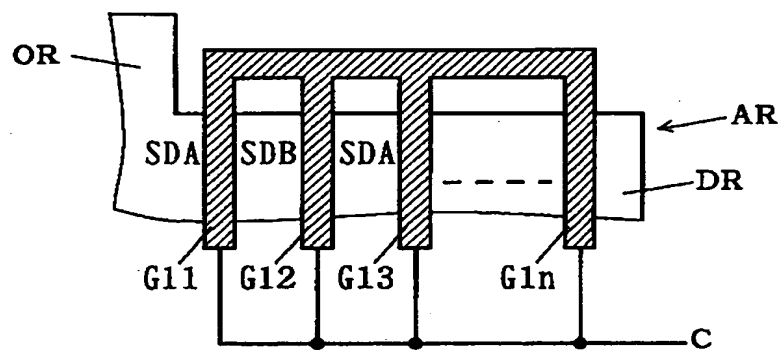
【図 18】



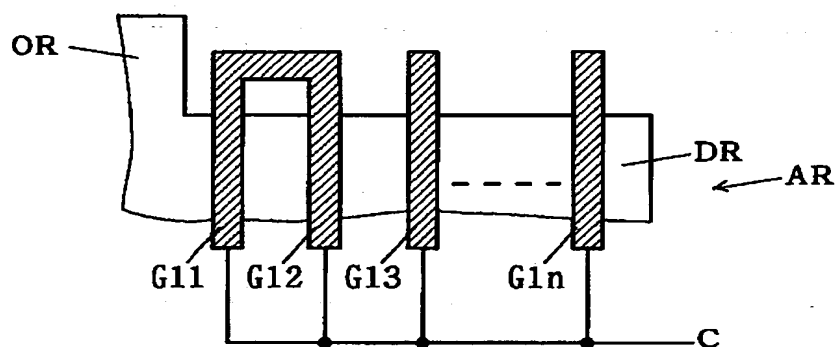
【図 19】



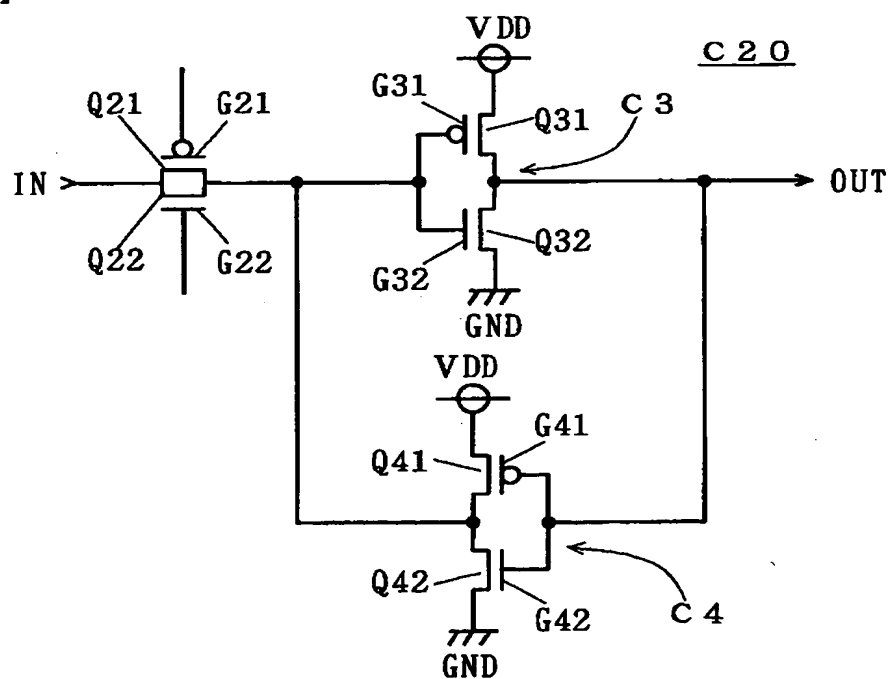
【図 20】



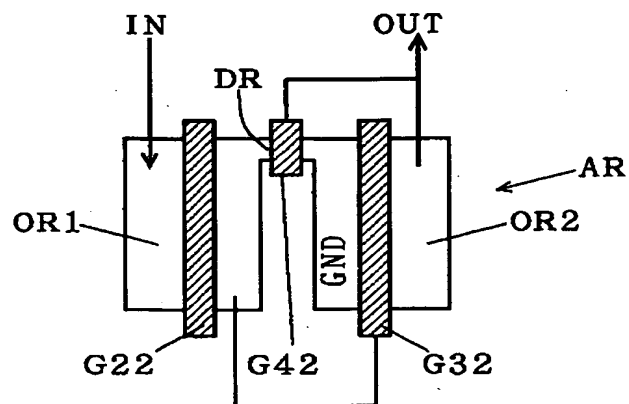
【図 21】



【図 22】

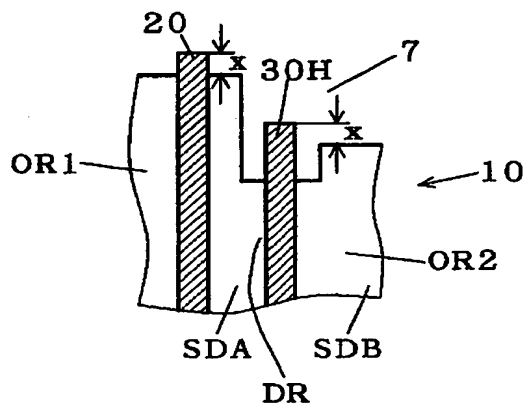


【図 23】

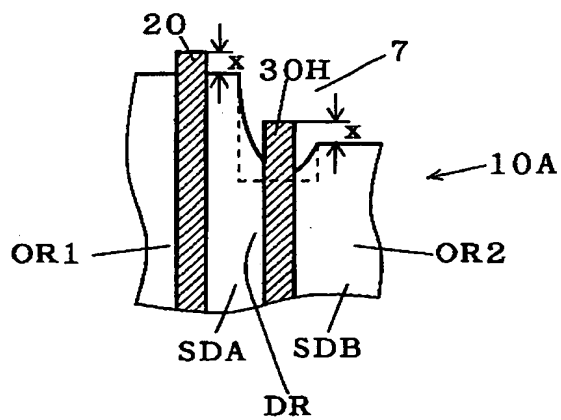


OR 1, OR 2 : 通常領域

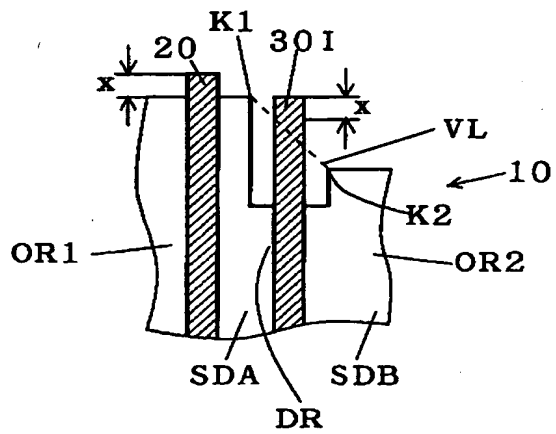
【図 24】



【図 25】

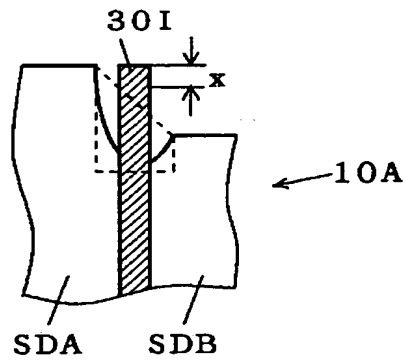


【図 26】

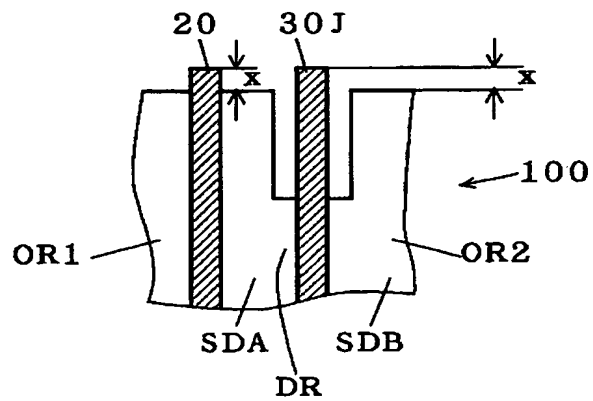


K 1, K 2 : 山折れ角部

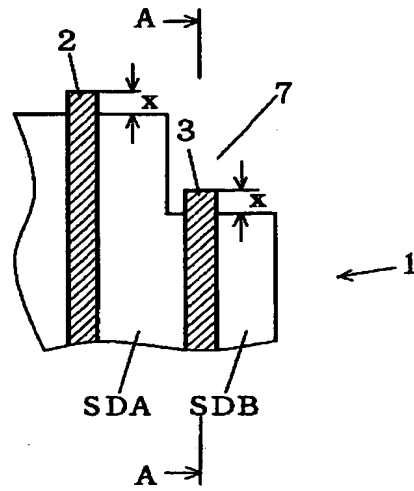
【図 27】



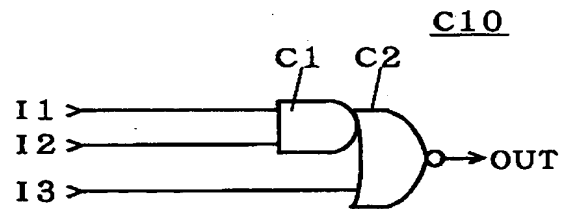
【図 28】



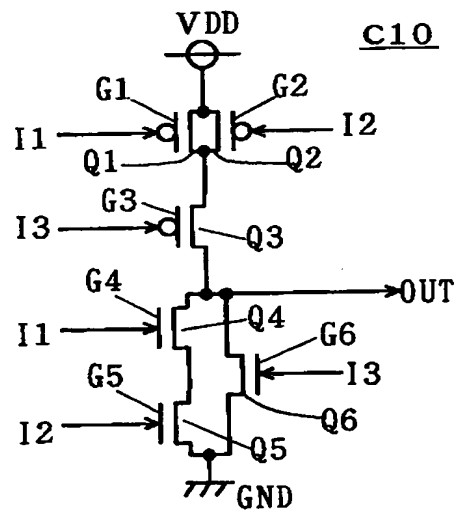
【図 29】



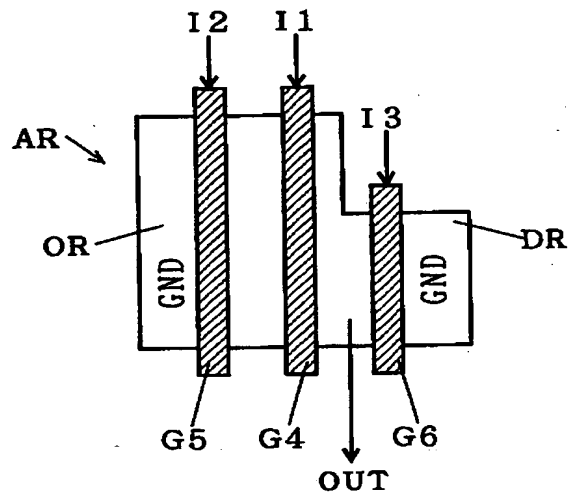
【図 30】



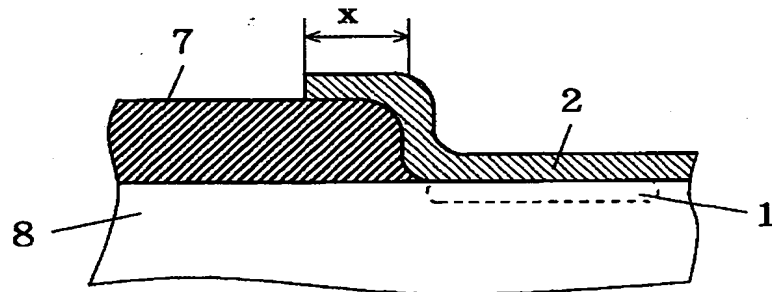
【図 31】



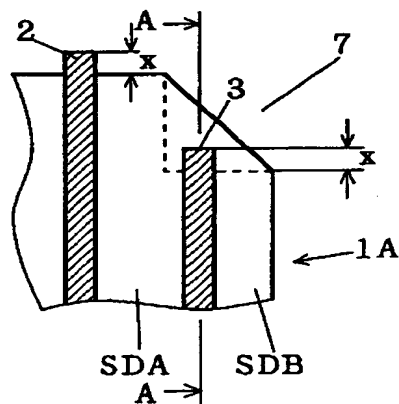
【図 3 2】



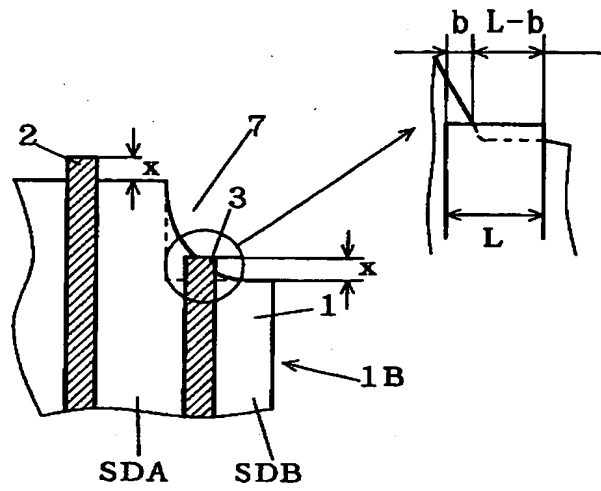
【図 3 3】



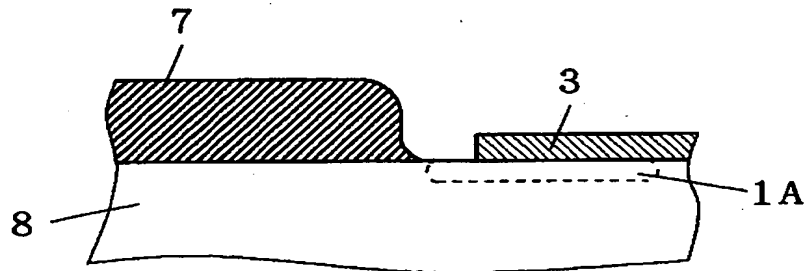
【図 3 4】



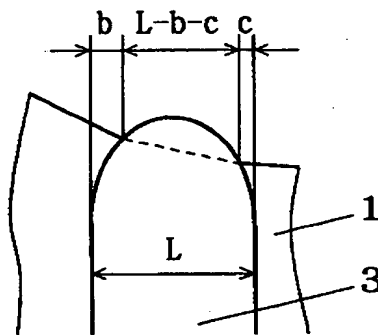
【図 3 5】



【図 3 6】



【図 3 7】



【書類名】 要約書

【要約】

【課題】 半導体装置の微細化に伴って活性領域および当該活性領域を規定する絶縁膜がレイアウト設計通りに形成されなかった場合でも、ソース・ドレイン領域間における電流不良を招来しない半導体装置を提供する。

【解決手段】 活性領域 1 の平面視形状は、その角部に凹部を有する形状となっている。なお、活性領域 1 は絶縁膜 7 によって囲まれている。そして、凹部によって端縁部が低い位置になった後退領域 DR にゲート電極 30 が配置され、その端縁部が後退領域 DR よりも突出している通常領域 OR にゲート電極 20 が配置されている。ゲート電極 20 のゲートエンドキャップ（マージン部）の長さは x であり、ゲート電極 30 のゲートエンドキャップの長さは $x + \alpha$ となっている。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000006013
【住所又は居所】 東京都千代田区丸の内二丁目2番3号
【氏名又は名称】 三菱電機株式会社

【代理人】 申請人

【識別番号】 100089233
【住所又は居所】 大阪府中央区城見1丁目4番70号 住友生命OB
Pプラザビル10階 吉田・吉竹・有田特許事務所
【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672
【住所又は居所】 大阪府中央区城見1丁目4番70号 住友生命OB
Pプラザビル10階 吉田・吉竹・有田特許事務所
【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845
【住所又は居所】 大阪府中央区城見1丁目4番70号 住友生命OB
Pプラザビル10階 吉田・吉竹・有田特許事務所
【氏名又は名称】 有田 貴弘

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社